

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-010533

(43)Date of publication of application : 14.01.2000

---

(51)Int.Cl. G09G 3/36  
G02F 1/133

---

(21)Application number : 10-192389 (71)Applicant : HITACHI LTD  
(22)Date of filing : 23.06.1998 (72)Inventor : SATO HIDEO  
MIKAMI YOSHIKI  
KAGEYAMA HIROSHI  
OKUBO TATSUYA

---

### (54) LIQUID CRYSTAL DISPLAY DEVICE

#### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device having a level converting circuit capable of high-speed operation and small in the transistor capacity.

SOLUTION: In the liquid crystal display device a level converting circuit is provided in a signal circuit for driving pixels of a display and in a scanning circuit; and the level converting circuit is constituted of a first and second transistors 111112 in which the gate electrode is connected to a first bias voltage source and of a third and fourth transistors 121122 in which the gate electrode is connected to a second bias voltage source as the source electrode to a power source. In this case the drain electrode of the first and second transistors and that of the third and fourth transistors are connected to each other; low amplitude signals with mutually different polarities are inputted to the source electrode of the first and second transistors 111112; and high amplitude signals with mutually different polarities are taken out from the drain electrode of the first and second transistors 111112.

---

### CLAIMS

---

#### [Claim(s)]

[Claim 1] In a liquid crystal display constituted by an indicator which consists of two or more pixels arranged to matrix form a signal circuit which drives these pixels and

scanning circuitEstablish a level conversion circuit in said signal circuit and said scanning circuitand this level conversion circuitThe 1st and 2nd transistor that connected a gate electrode to the 1st bias voltage sourceIt constitutes from the 1st and 2nd resistance connected between each drain electrode of said 1st and 2nd transistorand a power supplyA liquid crystal display outputting a pixel driving signal of high amplitude with which a pixel driving signal of polar different low amplitude is mutually inputted into a source electrode of said 1st and 2nd transistorand polarity differs mutually from a drain electrode of said 1st and 2nd transistor.

[Claim 2]A liquid crystal display using a source electrode of the 3rd and 4th transistor and drain inter-electrode resistance by which bias was carried out to fixed voltage in a gate electrode as said 1st or 2nd resistance in claim 1.

[Claim 3]The 5th and 6th transistor that provided a waveform shaping section in said level conversion circuitand connected a gate electrode to each drain electrode of said 1st and 2nd transistor in claim 1 or claim 2A liquid crystal display constituting from the 7th and 8th transistor connected between each drain electrode of said 5th and 6th transistorand groundingand connecting each drain electrode of each other to each gate electrode of said 7th and 8th transistor.

[Claim 4]The 5th and 6th transistor that provided a waveform shaping section in said level conversion circuitand connected a gate electrode to each drain electrode of said 1st and 2nd transistor in claim 1 or claim 2A liquid crystal display constituting from the 7th and 8th transistor connected between each drain electrode of said 5th and 6th transistorand groundingand connecting each gate electrode of said 7th and 8th transistor to each source electrode of said 1st and 2nd transistor.

[Claim 5]The 5th and 6th transistor that provided a waveform shaping section in said level conversion circuitand connected a gate electrode to each drain electrode of said 1st and 2nd transistor in claim 1 or claim 2A liquid crystal display constituting from the 7th and 8th transistor connected between each drain electrode of said 5th and 6th transistorand groundingand connecting each gate electrode of said 7th and 8th transistor to each gate electrode of said 5th and 6th transistor.

[Claim 6]In a liquid crystal display constituted by an indicator which consists of two or more pixels arranged to matrix forma signal circuit which drives these pixelsand scanning circuitEstablish a level conversion circuit in said signal circuit and said scanning circuitand this level conversion circuitIt constitutes from two or more resistance which connected a gate electrode between two or more transistors linked to a bias voltage sourceand each drain electrode of two or more transistors and a power supplyA liquid crystal display inputting two or more pixel driving signals of low amplitude into a source electrode of two or more of said transistorsand outputting two or more pixel driving signals of high amplitude from a drain electrode of two or more of said transistors.

[Claim 7]A liquid crystal display using a source electrode of two or more transistors and drain inter-electrode resistance by which bias was carried out to fixed voltage in

a gate electrode as said two or more resistance in claim 6.

[Claim 8] A liquid crystal display which carries out the feature of setting voltage of said bias power supply as voltage equivalent to the sum of peak voltage of a pixel driving signal of said low amplitude and threshold voltage of a transistor which constitutes said level conversion circuit in either of claim 1 to claims 7.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the liquid crystal display which has a level conversion circuit which changes the signal of a low voltage swing into a high voltage swing and relates to the level conversion art in the clock and data interface of a liquid crystal display using a thin film transistor especially.

[0002]

[Description of the Prior Art] The level conversion circuit used for the clock and data interface of a liquid crystal display is indicated to JP6-216753A, JP6-283979A, etc. In the level conversion circuit indicated to these, the thin film transistor (TFT: Thin-Film Transistor) of polycrystalline silicon and the MOS (Metal-Oxide Semiconductor) transistor on a silicon single crystal are used. It has the function to change the input signal of a low voltage swing into the output signal of the high voltage swing used for the drive circuit of a liquid crystal display. This input signal is a voltage swing of 5V or 3.3V currently used, for example, for general-purpose LSI.

An output signal is a voltage swing of 12V or 15V corresponding to the power supply voltage of a built-in circuit, for example.

There is a single phase input type which inputs the signal which became independent of the difference input type which inputs the signal of an opposite phase mutually in this level conversion circuit. A difference input type is used for the clock interface of high-speed operation and a single phase input type is comparatively used for a data interface.

[0003] An example of the difference input type level conversion circuit indicated to JP6-216753A is shown in drawing 9. This level conversion circuit 800 comprises one pair of input transistors 811, 812 or 1 pair of load transistors 813, 814 or 1 pair of constant current sources 815 and 816 or 1 pair of level shift transistors 817 and 818. Here, each input transistors 811 and 812 and the level shift transistors 817 and 818 are TFT(s) of N type and each load transistors 813 and 814 are TFT(s) of P type. The level shift transistors 817 and 818 connected the drain electrode and the gate electrode of each other and have connected each source electrode to input terminal VIN1 and VIN2. The gate electrode of the constant current sources 815 and 816 and the input transistors 811 and 812 is connected at the node of a drain electrode and a

gate electrode. Each source electrode of the input transistors 811 and 812 was grounded and each drain electrode is connected to output terminal VOUT1 and VOUT2 respectively. Each gate electrode connects each drain electrode of the load transistors 813 and 814 to output terminal VOUT1 and VOUT2 and is connected to output terminal VOUT2 and VOUT1 and each source electrode is connected to the power supply VDD respectively. Signal VIN1 of an opposite phase and VIN2 are mutually supplied to the level conversion circuit 800 connected to this appearance. Here voltage inputted into input terminal VIN1 and VIN2 is set to 3.3V and 0V as an example of the operating state of a level conversion circuit respectively voltage of the power supply VDD is set to 15V and the threshold voltage of an each N type transistor is assumed to be 2V. Since the level shift transistors 817 and 818 operate so that input signal VIN1 and VIN2 may be made high by threshold voltage respectively the voltage of 5.3V and 2V is impressed to the gate electrode of the input transistors 811 and 812 respectively. As a result the input transistors 811 and 812 take the state a flow and where it does not flow respectively and output terminal VOUT1 is set to 0V. Since this output terminal VOUT1 is connected to the gate electrode of the load transistor 814 the load transistor 814 will be in switch-on and the voltage of output terminal VOUT2 is set to 15V. Since the load transistor 814 which has connected the gate electrode to this output terminal VOUT2 will be in non-switch-on output terminal VOUT1 maintains 0V. Next operation in case the voltage of input terminal VIN1 and VIN2 changes from an above-mentioned state to 0V and 3.3V respectively is explained in detail. If the voltage of input terminal VIN1 and VIN2 changes to 0V and 3.3V respectively the input transistors 811 and 812 will take the state of un-flowing and a flow respectively. Since the load transistor 814 connected to the drain of the input transistor 812 which will be in switch-on at this time is in switch-on If resistance of the switch-on of the input transistor 812 and the load transistor 814 is set to RON2 and RON4 respectively voltage VOUT of output terminal VOUT2 at the time of voltage of input terminal changing 2 will become a following formula.

$$VOUT2 = \frac{RON2}{(RON2 + RON4)} \times VDD$$
 -- (1) As shown in this formula the voltage of VOUT2 at the time of the voltage of an input terminal changing is determined by the division ratio of RON2 and RON4. On this voltage the load transistor 813 will be in switch-on and output terminal VOUT1 changes to 15V. When this output terminal VOUT1 changes to 15V resistance of the load transistor 814 will increase and it will be in non-switch-on eventually. As a result the voltage of output terminal VOUT2 is set to 0V. Herein order to shorten time after the input transistor 812 will be in switch-on until output terminal VOUT2 is set to 0V it is necessary to make RON2 of (1) type small and to bring VOUT2 close to 0V as much as possible.

[0004] On the other hand a single phase input type level conversion circuit inputs a single phase signal into one input terminal using the difference input type level conversion circuit explained above and the method of supplying one half of the voltage

of single phase input amplitude to the input terminal of another side and the method of reversing and supplying a single phase signal to the input terminal of another side are taken.

[0005]

[Problem(s) to be Solved by the Invention] When voltage between drain and source is fixed, the drain current of TFT or a MOS transistor changes in proportion to the square of effective gate voltage  $V_E$  shown with the difference of gate voltage and the threshold voltage  $V_{th}$ . Since resistance  $R_{ON}$  of the aforementioned switch-on is in inverse proportion to this drain current, gate voltage increases it rapidly near the threshold voltage. In the case of the level conversion circuit shown in the above-mentioned voltage  $V_{g1}$  between gate and source is equivalent to  $2V_{th}$  and for the driving condition of the gate voltage of the input transistors 811 and 812,  $V_{g2}$  is equivalent to  $5.3V_{th}$ . It was required for obtaining resistance of required switch-on to enlarge size of an input transistor these  $5.3V_{th}$ . If size of an input transistor is enlarged, the capacity of an input terminal not only increases but the capacity between gate and drains will increase. Since the input transistors 811 and 812 of the level conversion circuit shown in drawing 9 constitute a grounded source type amplifying circuit, the capacity between gate and drains becomes large by the magnification of an amplification factor equivalent according to a Miller effect. The increase in this equivalent load carrying capacity had become the big hindrance of high-speed operation. A conventional single phase input type level conversion circuit becomes more complicated than a difference input type level conversion circuit. This becomes a serious obstacle when applying a single phase input type level conversion circuit to the digital type liquid crystal display which operates with the video signal of a digital signal for example. When sending this image with a digital signal, it depends on that data number on the gradation number of a video signal, the pixel number of a liquid crystal display, frame frequency, and the clock frequency of a level conversion circuit. For example, about a gradation number in 8 bits and a pixel number of  $1280 \times 1024$  and frame frequency shall be 60 Hz and clock frequency shall be 20 MHz, the number of input data can be about 32.

[0006] There is a technical problem of this invention in providing the liquid crystal display which has a level conversion circuit where transistor capacity is small so that high-speed operation is possible in view of the above-mentioned point.

[0007]

[Means for Solving the Problem] In a liquid crystal display, provide an aforementioned problem in a signal circuit and a scanning circuit which drive a pixel of an indicator, and a level conversion circuit. The 1st and 2nd transistor that connected a gate electrode to the 1st bias voltage source, it constitutes from the 3rd and 4th transistor that connected a gate electrode to the 2nd bias voltage source, and connected a source electrode to a power supply. A drain electrode of the 1st and 2nd transistor and a drain electrode of the 3rd and 4th transistor are connected mutually. It is solved by inputting a signal of polar different low amplitude into a source electrode

of the 1st and 2nd transistor mutually and taking out a signal of polar different high amplitude from a drain electrode of the 1st and 2nd transistor mutually.

[0008] Output voltage is determined by this invention by a ratio of resistance between drain source of the 1st and 2nd transistor that carried out bias of the gate electrode by the 1st bias voltage source and the 3rd and 4th transistor that carried out bias of the gate electrode by the 2nd bias voltage source. Here 3rd and 4th resistance can be greatly performed in the range which working speed allows. In order to carry out bias of the gate electrode of the 1st and 2nd transistor to fixed potential it does not depend for capacity between drain source on the 1st and 2nd amplification factor. For this reason while the level conversion circuit of this invention operates at high speed it becomes possible to reduce size of a transistor.

[0009]

[Embodiment of the Invention] Hereafter the embodiment of this invention is described using a drawing. Drawing 1 shows a 1st embodiment of the level conversion circuit in the liquid crystal display of this invention. This embodiment consists of the level conversion section 100 and the waveform shaping section 200. The level conversion section 100 consists of the input transistors 111 and 112 the load transistors 121 and 122 and the transistors 131 and 132 for bias. the input transistors 111 and 112 -- each source electrode is connected to input terminal VIN1 and VIN2 and each drain electrode is connected to bias-power-supply VBIAS for the gate electrode of each transistor output Vo1 and Vo2. The load transistors 121 and 122 carry out a gate electrode in common and a source electrode is connected to the power supply VDD and they connect each drain electrode to the transistor 132 for bias output Vo1 and Vo2. the transistor 131 for bias -- a source electrode is connected to a grounding point and a drain electrode is connected to the gate electrode and drain electrode of the transistor 132 for bias for a gate electrode at bias-power-supply VBIAS. Here the transistor 132 for bias and the load transistors 121 and 122 constitute what is called a current mirror circuit. On the other hand the waveform shaping section 200 consists of the input transistors 213 and 214 and the load transistors 211 and 212. The input transistors 213 and 214 use P type and a load transistor uses the transistor of N type. Although this composition differs in that the point that the conductivity type of the transistor is reverse to the level conversion circuit 800 shown by the conventional example and an input are high voltage swings it is equivalent.

[0010] Signal VIN1 of an opposite phase and VIN2 are mutually supplied to the gate electrode of one pair of input transistors 111 and 112 of the level conversion section 100 connected in this way. The signal level of this signal VIN1 and VIN2 is the voltage of the low amplitude of 0V and 3.3V and the voltage of the power supply VDD is the voltage exceeding the maximum voltage of VIN1 and VIN2 for example the voltage of 15V and bias-power-supply VBIAS is 5.3V. The operation on this condition is explained using drawing 2. Here the response of output Vo1 to input signal VIN1 is

shown. When input signal VIN1 is 0V and 3.3V the voltage VgsL and VgsH between the gate source of the input transistor 111 is set to 5.3V and 2V respectively. Since the resistance RdsL and RdsH between the drain source of the input transistor 111 corresponding to such voltage serves as  $R_{dsL} < R_{dsH}$  output voltage Vo1 becomes as in phase a relation as input signal VIN1. Output voltage VOL (the input transistor 111 is switch-on) of the high-level output voltage VOH (the input transistor 111 is the non-switch-on) and a low level of output voltage Vo1 at this time. Since it becomes resistance between the source drains of the load transistor 121 a partial pressure with the resistance RdsL and RdsH between RL1 and the drain source of the input transistor 111 as it is shown in drawing 2 it shifts from the power supply voltage VDD or 0V a little. Although the response of Vo2 to input signal VIN2 is not illustrated it becomes the response of VIN1 and a relation of an opposite phase. That is it becomes in phase [ the relation between input VIN1 of the level conversion section 100, VIN2 and output Vo1 and Vo2 ] and the output voltage shifts from the power supply voltage VDD or 0V a little.

[0011] Next the waveform shaping section 200 consists of the input transistors 213 and 214 and the load transistors 211 and 212 as mentioned above. The input transistors 213 and 214 are TFT(s) of P type and the load transistors 211 and 212 are TFT(s) of N type. Each drain electrode connects each gate electrode of the input transistors 213 and 214 to output terminal Vo1 of the level conversion section 100 and Vo2 and is connected to output terminal VOUT1 and VOUT2 and each source electrode is connected to the power supply VDD respectively. Each gate electrode connects each drain electrode of the load transistors 211 and 212 to output terminal VOUT1 and VOUT2 and is connected to output terminal VOUT2 and VOUT1 and each source electrode is connected to a grounding point respectively. The waveform shaping section 200 of a different thing connected to this appearance is equivalent and the conductivity type of the circuit constituted from the input transistors 811 and 812 and the load transistors 813 and 814 of the conventional example shown in drawing 9 and a transistor has it. Differing from the conventional example shown in drawing 9 is the point that an input signal is amplified by the level conversion section 100 and serves as amplitude almost equal to power supply voltage. For this reason\*\* and high-speed operation of the size of the input transistor which was a technical problem of the conventional example it becomes unnecessary to enlarge become possible.

[0012] In the level conversion circuit of this embodiment the gate voltage impressed to the input transistors 111 and 112 is controlled by voltage of bias-power-supply VBIAS. For this reason the drain current operating point of the input transistors 111 and 112 and the load transistors 121 and 112 can be made into high electric current by bias-power-supply VBIAS and high-speed operation becomes possible. Since it becomes in phase [ the relation between an input and an output ] the increase in the capacity by a Miller effect can be prevented. High-speed operation is attained also at this point. In this embodiment since a level conversion circuit is constituted only from

a transistor there is an advantage of being easy to make when manufacturing. In this embodiment while constituting both the transistor 131 for bias and the input transistors 111 and 112 from an N type transistor. Since the current of the load transistors 121 and 122 is controlled by the transistor 132 for bias and output voltage is generated in resistance of this current and the input transistors 111 and 112. Change of the output voltage to change of the characteristic of a transistor can be suppressed and when manufacturing there is a \*\*\*\*\* advantage which raises the yield.

[0013] Drawing 3 shows a 2nd embodiment of this invention. It is the composition of the waveform shaping section 200 that this embodiment differs from a 1st embodiment shown in drawing 1. The waveform shaping section 200 of this embodiment consists of the load transistors 221 and 222 of N type and the input transistors 223 and 224 of P type. The N type transistors 221 and 222 ground a source electrode and each gate electrode is connected to input terminal VIN1 and VIN2 and they connect each drain electrode to the drain electrode of the P type transistors 223 and 224 respectively. The P type transistors 223 and 224 connect a source electrode to the power supply VDD and connect a gate electrode to output Vo1 of the level conversion section 100 and Vo2.

[0014] Operation of the waveform shaping section 200 constituted as mentioned above is explained. As an example of an operating condition when the voltage of input terminal VIN1 and VIN2 considers it as its them 3.3V and 0V and the voltage of 15V and bias power supply sets to 5.3V in the power supply VDD 3.3V and 0V are impressed to the gate electrode of the N type transistors 221 and 222 respectively. At this time each transistor will be in the state a flow and where it does not flow respectively. the gate electrode of the P type transistors 223 and 224 into which the output of the level conversion section 100 is inputted on the other hand -- respectively -- about -- about [ the voltage of 15V and ] -- since the voltage of 0V is inputted each transistor will be in the state of un-flowing and a flow respectively. As a result output terminal VOUT1 and VOUT2 are set to 0V and 15V respectively and they transform the voltage signal of the low amplitude of 3.3V and 0V into the voltage signal of the large amplitude of 0V and 15V. According to this embodiment since the gate electrode of the load transistor of the N type of the waveform shaping section 200 and the input transistor of P type is independently controlled on the basis of 0V and 15V respectively there is an advantage which operates stably also to change of the power supply voltage VDD.

[0015] Drawing 4 shows a 3rd embodiment of this invention. It is the composition of the waveform shaping section 200 that this embodiment differs from a 1st embodiment shown in drawing 1. The waveform shaping section 200 of this embodiment consists of the load transistors 231 and 232 of N type and the input transistors 233 and 234 of P type. The load transistor 231 of N type the input transistor 233 of P type and the load transistor 232 of N type and the input transistor 234 of P type constitute an inverter circuit. Operation of the waveform shaping

section 200 constituted as mentioned above is explained. When the voltage of 15V and bias power supply sets [ the voltage of input terminal VIN1 and VIN2 ] to 5.3V as an example of an operating condition respectively in 3.3V0V and the power supply VDD. Since the input transistors 111 and 112 will be in non-switch-on and switch-on respectively, output Vo1 of the level conversion section 100 and Vo2 are set to about 15 v and about 0 v respectively. Waveform shaping of such voltage is carried out by an inverter circuit and since it is amplified, output terminal VOUT1 and VOUT2 are set to 0V and 15V respectively. Also in this embodiment, the voltage signal of the low amplitude of 3.3V and 0V which are supplied to an input terminal is convertible for the voltage signal of the large amplitude of 0V and 15V.

[0016] Drawing 5 shows a 4th embodiment of this invention. It is the composition of the level conversion section 100 that this embodiment differs from a 1st embodiment shown in drawing 1. The level conversion section 100 of this embodiment is the point which constituted the load transistors 121 and 122 from the resistors 141 and 142 to a 1st embodiment shown in drawing 1. Operation of the level conversion section 100 of this embodiment is explained. As an example of an operating condition, for the input transistors 111 and 112, the voltage of input terminal VIN1 and VIN2 will be in non-switch-on and switch-on respectively when the voltage of 15V and bias power supply sets to 5.3V respectively in 3.3V0V and the power supply VDD. As a result, output Vo1 of the level conversion section 100 and Vo2 are set to about 15 v and about 0 v respectively. Since waveform shaping of such voltage is carried out by the waveform shaping section 200, output terminal VOUT1 and VOUT2 are set to 0V and 15V respectively. Also in this embodiment, the voltage signal of the low amplitude of 3.3V and 0V which are supplied to an input terminal is convertible for the voltage signal of the large amplitude of 0V and 15V.

[0017] Drawing 6 is a 5th embodiment of this invention and shows a multi input type level conversion circuit. This embodiment uses as a multi input type the level conversion section shown in drawing 3. The level conversion circuit 500 of this embodiment consists of the N input transistors 511-51N, the N load transistors 521-52N and the transistors 531 and 541 for bias. As for each source electrode of the input transistors 511-51N, each drain electrode connects this point to the N input terminals VI1-VI (N) at the N output terminals VO1-Vo (N) at each N drain electrodes of the load transistors 521-52N. According to this embodiment, there is an effect which can increase the number of inputs by adding two transistors, an input transistor and a load transistor.

[0018] Drawing 7 shows one embodiment of the logic input circuit which applied the level conversion circuit of this invention. This embodiment consists of the latch circuit parts 600 which consist of the latch circuitry 611-61N of the difference input type level conversion circuit 100 and 500 or N multi input type level conversion circuits. Here, the difference input type level conversion circuit 100 inputs low differential clock signal CK1 of a voltage swing and CK2 and outputs the differential

clock signal changed into the high voltage swing to the latch circuitry 611–61N. The multi input type level conversion circuit 500 inputs the data signals D1–D of N low voltage swings (N) and outputs the data signal changed into the high voltage swing to each latch circuitry 611–61N. In each latch circuitry of the latch circuit part 600 the clock signal and data signal of a high voltage swing are inputted and it operates and the N latch data O1–O (N) is outputted.

[0019] Drawing 8 is a system configuration example which shows one embodiment of the liquid crystal display of this invention. This system consists of the picture signal generator 80, the video signal processing circuit 60, the timing control circuit 70, and the liquid crystal display panel 10. Here, the liquid crystal display panel 10 consists of the signal circuit 30, the scanning circuit 40, the difference input type level conversion circuit 700, the multi input type level conversion circuits 500a and 500b, and the data latch circuits 600 which drive the indicators 20 which consist of two or more pixels arranged to matrix form and these pixels. It constitutes from the level conversion section 100 and the waveform shaping section 200 which explained the differential type level conversion circuit 700 as the 1st – a 4th embodiment in this. The multi input type level conversion circuits 500a and 500b correspond to the latch circuit part 600 which showed the data latch circuit 600 in Drawing 7 in the multi input type level conversion circuit 500 explained as a 5th embodiment.

[0020] Operation of this system constituted as mentioned above is explained. The picture signal generator 80 outputs the video signal 81 to the video-signal conversion circuit 60 and outputs the clock signal 85, Horizontal Synchronizing signal 86, and Vertical Synchronizing signal 87 to the timing control circuit 70 respectively. The video signal processing circuit 60 lowers signal frequency for the inputted video signal 81 by serial/parallel conversion processing and outputs the video signals D1–Dn of n parallel to the multi input type level conversion circuit 500a of the liquid crystal display panel 10. These video signals D1–Dn are stored in the data latch circuit 600 while they are changed into the signal of high amplitude by the multi input type level conversion circuit 500a. The data latch circuit 600 outputs the video signals HD1–HDn of this stored high amplitude to the signal circuit 30. On the other hand, the timing control circuit 70 from the clock signal 85, Horizontal Synchronizing signal 86, and Vertical Synchronizing signal 87 which were inputted. The clock signal 71 for incorporating the video signals D1–Dn is outputted to the difference input type level conversion circuit 700 of the liquid crystal display panel 10, and the control signals 72–75 for driving the signal circuit 30 and the scanning circuit 40 are outputted to the multi input type level conversion circuit 500b of a liquid crystal display panel. The difference input type level conversion circuit 700 changes the clock signal 71 into the clock signal of high amplitude and outputs it to the data latch circuit 600. The multi input type level conversion circuit 500b changes the control signals 72–75 into the signal of high amplitude and outputs clock signal HCK and start signal HST which control the signal circuit 30, and clock signal VCK and the start signal VST which control the scanning

circuit 40. The indicator 20 is controlled by the output of the signal circuit 20 and the scanning circuit 40 and displays the image corresponding to the video signals D1–Dn.

[0021] The level conversion circuit which consists of the level conversion section 100 shown as the 1st – a 4th embodiment and the waveform shaping section 200 in the liquid crystal display constituted as mentioned above. Since the input of a liquid crystal display panel is made to low amplitude by using the shown multi input type level conversion circuit 500 as a 5th embodiment. While being able to constitute easily the output circuit of the video signal processing circuit 60 and the timing control circuit 70, the spurious radiation of electromagnetic waves can be reduced.

[0022] Although the example which used TFT showed the embodiment of this invention, these can acquire the same effect even if it uses the MOS transistor of single crystal silicon. Even if the transistor of this invention reverses the conductivity type of N and P, it can acquire the same effect.

[0023]

[Effect of the Invention] By using for a liquid crystal display the level conversion circuit which changes the input voltage signal of low amplitude into the output voltage signal of large amplitude according to this invention as explained above, the input of a liquid crystal display panel can be made into low amplitude and while being able to constitute easily output circuits which output the input signal of a liquid crystal display panel, such as a video signal processing circuit and a timing control circuit, in connection with this, the spurious radiation of electromagnetic waves can be reduced. Since the drain current operating point of an input transistor and a load transistor can be made into high electric current by the bias power supply of a level conversion circuit, while making high-speed operation possible, it becomes possible to reduce the size of a transistor. Since a level conversion circuit is constituted only from a transistor, it is easy to make when manufacturing and the current of a load transistor is controlled by the transistor for bias and output voltage is generated in resistance of this current and an input transistor. Change of the output voltage to change of the characteristic of a transistor can be suppressed and the yield can be raised when manufacturing.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] A 1st embodiment of the level conversion circuit in the liquid crystal display of this invention

[Drawing 2] The explanatory view showing operation of the level conversion circuit of this invention

[Drawing 3] A 2nd embodiment of the level conversion circuit in the liquid crystal display of this invention

[Drawing 4] A 3rd embodiment of the level conversion circuit in the liquid crystal display of this invention

[Drawing 5] A 4th embodiment of the level conversion circuit in the liquid crystal display of this invention

[Drawing 6] A 5th embodiment of the multi input type level conversion circuit of this invention

[Drawing 7] One embodiment of the logic input circuit which applied the level conversion circuit of this invention

[Drawing 8] One embodiment of the liquid crystal display of this invention

[Drawing 9] The circuitry figure showing the difference input type level conversion circuit of a conventional example

[Description of Notations]

10 [ -- A scanning circuit60 / -- A video signal processing circuit70 / -- A timing control circuit80 / -- A picture signal generator500a500b / -- A multi input type level conversion circuit600 / -- A data latch circuit700 / -- Difference input type level conversion circuit ] -- A liquid crystal display panel20 -- An indicator30 -- A signal circuit40

100 -- A level conversion section200 -- A waveform shaping section111112 -- Input transistor121122 [ -- A load transistor213214 / -- An input transistor131132 / -- The transistor for bias500 / -- Multi input type level conversion section ] -- A load transistorVBIAS -- Bias power supply141142 -- Resistance211212

---

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-10533  
(P2000-10533A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 5 C 0 0 6

審査請求 未請求 請求項の数 8 F D (全 8 頁)

(21) 出願番号 特願平10-192389

(22) 出願日 平成10年6月23日 (1998.6.23)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 100099302

弁理士 笹岡 茂 (外1名)

最終頁に続く

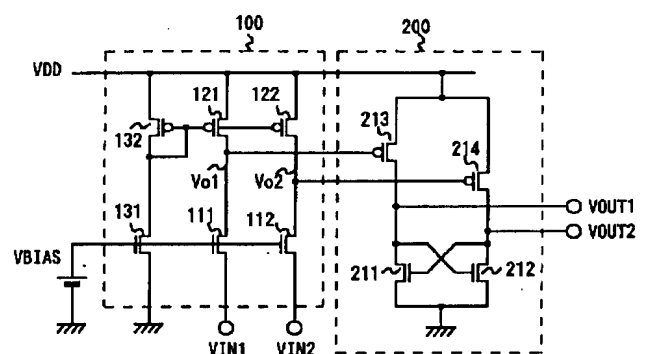
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 高速動作が可能な、かつ、トランジスタ容量の小さいレベル変換回路を有する液晶表示装置を提供することにある。

【解決手段】 液晶表示装置において、表示部の画素を駆動する信号回路と走査回路にレベル変換回路を設け、レベル変換回路は、ゲート電極を第1のバイアス電圧源に接続した第1、第2のトランジスタ111、112と、ゲート電極を第2のバイアス電圧源に、ソース電極を電源に接続した第3、第4のトランジスタ121、122から構成し、第1、第2のトランジスタのドレイン電極と第3、第4のトランジスタのドレイン電極を互いに接続し、第1、第2のトランジスタのソース電極に互いに極性の異なる低振幅の信号を入力し、第1、第2のトランジスタのドレイン電極から互いに極性の異なる高振幅の信号を取り出す。

(図1)



**【特許請求の範囲】**

【請求項1】マトリクス状に配置した複数の画素からなる表示部と、これらの画素を駆動する信号回路と走査回路によって構成される液晶表示装置において、前記信号回路と前記走査回路にレベル変換回路を設け、該レベル変換回路は、ゲート電極を第1のバイアス電圧源に接続した第1、第2のトランジスタと、前記第1、第2のトランジスタの各ドレイン電極と電源との間に接続した第1、第2の抵抗から構成し、前記第1、第2のトランジスタのソース電極に互いに極性の異なる低振幅の画素駆動信号を入力し、前記第1、第2のトランジスタのドレイン電極から互いに極性の異なる高振幅の画素駆動信号を出力することを特徴とする液晶表示装置。

【請求項2】請求項1において、前記第1または第2の抵抗としてゲート電極を固定電圧にバイアスされた第3、第4のトランジスタのソース電極とドレイン電極間の抵抗を用いることを特徴とする液晶表示装置。

【請求項3】請求項1または請求項2において、前記レベル変換回路に波形整形部を設け、ゲート電極を前記第1、第2のトランジスタの各ドレイン電極に接続した第5、第6のトランジスタと、前記第5、第6のトランジスタの各ドレイン電極と接地との間に接続した第7、第8のトランジスタから構成し、前記第7、第8のトランジスタの各ゲート電極に互いに各ドレイン電極を接続することを特徴とする液晶表示装置。

【請求項4】請求項1または請求項2において、前記レベル変換回路に波形整形部を設け、ゲート電極を前記第1、第2のトランジスタの各ドレイン電極に接続した第5、第6のトランジスタと、前記第5、第6のトランジスタの各ドレイン電極と接地との間に接続した第7、第8のトランジスタから構成し、前記第7、第8のトランジスタの各ゲート電極を前記第1、第2のトランジスタの各ソース電極に接続することを特徴とする液晶表示装置。

【請求項5】請求項1または請求項2において、前記レベル変換回路に波形整形部を設け、ゲート電極を前記第1、第2のトランジスタの各ドレイン電極に接続した第5、第6のトランジスタと、前記第5、第6のトランジスタの各ドレイン電極と接地との間に接続した第7、第8のトランジスタから構成し、前記第7、第8のトランジスタの各ゲート電極を前記第5、第6のトランジスタの各ゲート電極に接続することを特徴とする液晶表示装置。

【請求項6】マトリクス状に配置した複数の画素からなる表示部と、これらの画素を駆動する信号回路と走査回路によって構成される液晶表示装置において、前記信号回路と前記走査回路にレベル変換回路を設け、該レベル変換回路は、ゲート電極をバイアス電圧源に接続した複数のトランジスタと、複数のトランジスタの各ドレイン電極と電源との間に接続した複数の抵抗から構成し、

前記複数のトランジスタのソース電極に低振幅の複数の画素駆動信号を入力し、前記複数のトランジスタのドレイン電極から高振幅の複数の画素駆動信号を出力することを特徴とする液晶表示装置。

【請求項7】請求項6において、前記複数の抵抗としてゲート電極を固定電圧にバイアスされた複数のトランジスタのソース電極とドレイン電極間の抵抗を用いることを特徴とする液晶表示装置。

【請求項8】請求項1から請求項7のいずれかにおいて、前記バイアス電圧の電圧を前記低振幅の画素駆動信号のピーク電圧と前記レベル変換回路を構成するトランジスタのしきい値電圧との和に相当する電圧に設定することを特徴する液晶表示装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、低い電圧振幅の信号を高い電圧振幅に変換するレベル変換回路を有する液晶表示装置に係り、特に、薄膜トランジスタを用いた液晶表示装置のクロック及びデータインターフェースにおけるレベル変換技術に関する。

**【0002】**

【従来の技術】液晶表示装置のクロック及びデータインターフェースに用いられるレベル変換回路は、特開平6-216753号公報、特開平6-283979号公報などに記載されている。これらに記載されているレベル変換回路は、多結晶シリコンの薄膜トランジスタ(TFT:Thin-Film Transistor)やシリコン単結晶上のMOS(Metal-Oxide Semiconductor)トランジスタが用いられ、低い電圧振幅の入力信号を液晶表示装置の駆動回路に使用する高い電圧振幅の出力信号に変換する機能を有している。この入力信号は、例えば汎用LSIに使用されている5Vまたは3.3Vの電圧振幅であり、出力信号は、例えば内蔵回路の電源電圧に対応する12Vまたは15Vの電圧振幅である。このレベル変換回路には、互いに逆相の信号を入力する差動入力型と独立した信号を入力する単相入力型があり、差動入力型は比較的高速動作のクロックインターフェースに、単相入力型はデータインターフェースに用いられる。

【0003】図9に、特開平6-216753号公報に記載されている差動入力型のレベル変換回路の一例を示す。このレベル変換回路800は、1対の入力トランジスタ811、812、1対の負荷トランジスタ813、814、1対の定電流源815、816、1対のレベルシフトトランジスタ817、818で構成される。ここで、各入力トランジスタ811、812とレベルシフトトランジスタ817、818はN型のTFTであり、各負荷トランジスタ813、814はP型のTFTである。レベルシフトトランジスタ817、818は、ドレイン電極とゲート電極を互いに接続し、それぞれのソー

ス電極を入力端子VIN1、VIN2に接続している。更に、ドレイン電極とゲート電極の接続点には、定電流源815、816と入力トランジスタ811、812のゲート電極を接続している。入力トランジスタ811、812の各ソース電極は接地し、各ドレイン電極はそれぞれ出力端子VOUT1、VOUT2に接続している。また、負荷トランジスタ813、814の各ドレイン電極はそれぞれ出力端子VOUT1、VOUT2に、各ゲート電極はそれぞれ出力端子VOUT2、VOUT1に、各ソース電極は電源VDDに接続している。この様に接続されたレベル変換回路800には、互いに逆相の信号VIN1、VIN2が供給される。ここで、レベル変換回路の動作状態の一例として、入力端子VIN1、VIN2に輸入される電圧をそれぞれ3.3V、0Vとし、電源VDDの電圧を15Vとして、各N型トランジスタのしきい値電圧を2Vと仮定する。レベルシフトトランジスタ817、818は入力信号VIN1、VIN2をそれぞれしきい値電圧分だけ高くするよう動作するので、入力トランジスタ811、812のゲート電極にはそれぞれ、5.3V、2Vの電圧が印加される。この

$$V_{OUT2} = R_{ON2} / (R_{ON2} + R_{ON4}) \times V_{DD} \quad \dots (1)$$

この式から分かるように、入力端子の電圧が変化した時点のVOUT2の電圧はRON2とRON4の分圧比で決定される。この電圧で、負荷トランジスタ813が導通状態になり、出力端子VOUT1が15Vに変化していく。この出力端子VOUT1が15Vに変化していくことにより、負荷トランジスタ814の抵抗が増加し、最終的に非導通状態になる。この結果、出力端子VOUT2の電圧は0Vになる。ここで、入力トランジスタ812が導通状態になってから出力端子VOUT2が0Vになるまでの時間を短くするには、(1)式のRON2を小さくしてVOUT2を可能な限り0Vに近づけることが必要になる。

【0004】一方、単相入力型のレベル変換回路は、上記に説明した差動入力型のレベル変換回路を用い、一方の入力端子に単相信号を入力し、他方の入力端子に単相入力振幅の1/2の電圧を供給する方法や、他方の入力端子に単相信号を反転して供給する方法が採られている。

【0005】

【発明が解決しようとする課題】ドレイン・ソース間の電圧を一定にしたとき、TFTまたはMOSトランジスタのドレイン電流は、ゲート電圧としきい値電圧Vthの差で示される実効ゲート電圧VEの二乗に比例して変化する。前記の導通状態の抵抗RONは、このドレイン電流に反比例するので、ゲート電圧がしきい値電圧の近傍で急激に増加する。前述に示すレベル変換回路の場合、入力トランジスタ811、812のゲート電圧の駆動条件は、ゲート・ソース間電圧Vg1が2V、Vg2が5.3Vに相当する。この5.3Vで必要な導通状態

結果、入力トランジスタ811、812はそれぞれ導通、非導通の状態をとり、出力端子VOUT1は0Vとなる。この出力端子VOUT1は負荷トランジスタ814のゲート電極に接続されるので、負荷トランジスタ814は導通状態になり、出力端子VOUT2の電圧は15Vとなる。さらに、この出力端子VOUT2にゲート電極を接続している負荷トランジスタ814は非導通状態となるので、出力端子VOUT1は0Vを維持する。次に、上述の状態から入力端子VIN1、VIN2の電圧がそれぞれ0V、3.3Vに変化するときの動作を詳しく説明する。入力端子VIN1、VIN2の電圧がそれぞれ0V、3.3Vに変化すると、入力トランジスタ811、812はそれぞれ非導通、導通の状態をとる。このとき、導通状態になる入力トランジスタ812のドレインに接続されている負荷トランジスタ814は導通状態にあるので、入力トランジスタ812と負荷トランジスタ814の導通状態の抵抗をそれぞれRON2、RON4とすると、入力端子の電圧が変化した時点の出力端子VOUT2の電圧VOUT2は次式となる。

の抵抗を得るには入力トランジスタのサイズを大きくすることが必要であった。入力トランジスタのサイズを大きくすると、入力端子の容量が増加するだけでなく、ゲート・ドレイン間の容量も増加する。更に、図9に示すレベル変換回路の入力トランジスタ811、812はソース接地型の増幅回路を構成するので、ゲート・ドレイン間の容量はミラー効果によって等価的に増幅率の倍率分だけ大きくなる。この等価的な負荷容量の増加は、高速動作の大きな妨げとなっていた。また、従来の単相入力型のレベル変換回路は、差動入力型のレベル変換回路よりも複雑になる。これは、例えば、単相入力型のレベル変換回路を、ディジタル信号の映像信号で動作するディジタル型の液晶表示装置に適用する場合、大きな障害となる。この映像をディジタル信号で送る場合、そのデータ数は映像信号の階調数、液晶表示装置の画素数、フレーム周波数、レベル変換回路の動作周波数に依存する。例えば、階調数を8ビット、画素数を1280×1024、フレーム周波数を60Hz、動作周波数を20MHzとすると、入力データ数は約32本にもなる。

【0006】本発明の課題は、上記した点に鑑み、高速動作が可能な、かつ、トランジスタ容量の小さいレベル変換回路を有する液晶表示装置を提供することにある。

【0007】

【課題を解決するための手段】上記課題は、液晶表示装置において、表示部の画素を駆動する信号回路と走査回路にレベル変換回路を設け、レベル変換回路は、ゲート電極を第1のバイアス電圧源に接続した第1、第2のトランジスタと、ゲート電極を第2のバイアス電圧源に、ソース電極を電源に接続した第3、第4のトランジスタ

から構成し、第1、第2のトランジスタのドレイン電極と第3、第4のトランジスタのドレイン電極を互いに接続し、第1、第2のトランジスタのソース電極に互いに極性の異なる低振幅の信号を入力し、第1、第2のトランジスタのドレイン電極から互いに極性の異なる高振幅の信号を取り出すことにより、解決される。

【0008】本発明では、ゲート電極を第1のバイアス電圧源でバイアスした第1、第2のトランジスタと、ゲート電極を第2のバイアス電圧源でバイアスした第3、第4のトランジスタのドレイン・ソース間の抵抗の比率で出力電圧が決定される。ここで、第3、第4の抵抗は動作速度の許す範囲で大きく出来る。また、第1、第2のトランジスタのゲート電極は固定電位にバイアスするため、ドレイン・ソース間の容量は第1、第2の増幅率に依存しない。このため、本発明のレベル変換回路は高速に動作するとともに、トランジスタのサイズを低減することが可能になる。

【0009】

【発明の実施の形態】以下、本発明の実施形態を図面を用いて説明する。図1は、本発明の液晶表示装置におけるレベル変換回路の第1の実施形態を示す。本実施形態はレベル変換部100と波形整形部200から構成する。レベル変換部100は、入力トランジスタ111、112と負荷トランジスタ121、122、バイアス用トランジスタ131、132で構成する。入力トランジスタ111、112は、各トランジスタのゲート電極をバイアス電源VBIASに、各ソース電極を入力端子VIN1、VIN2に、各ドレイン電極を出力VO1、VO2に接続する。負荷トランジスタ121、122はゲート電極を共通にしてバイアス用トランジスタ132に、ソース電極を電源VDDに、各ドレイン電極を出力VO1、VO2に接続する。バイアス用トランジスタ131は、ゲート電極をバイアス電源VBIASに、ソース電極を接地点に、ドレイン電極をバイアス用トランジスタ132のゲート電極とドレイン電極に接続する。ここで、バイアス用トランジスタ132と負荷トランジスタ121、122はいわゆるカレントミラー回路を構成している。一方、波形整形部200は、入力トランジスタ213、214と負荷トランジスタ211、212で構成する。入力トランジスタ213、214はP型、負荷トランジスタはN型のトランジスタを用いる。この構成は、従来例で示したレベル変換回路800に対してトランジスタの導電型が逆になっている点と入力が高い電圧振幅である点が異なるが、等価である。

【0010】このように接続されたレベル変換部100の1対の入力トランジスタ111、112のゲート電極には互いに逆相の信号VIN1、VIN2が供給される。この信号VIN1、VIN2の信号レベルは例えば0V、3.3Vの低振幅の電圧であり、電源VDDの電圧は15V、バイアス電源VBIASの電圧はVIN

1、VIN2の最大電圧を超える電圧であり、例えば5.3Vである。この条件における動作を図2を用いて説明する。ここでは、入力信号VIN1に対する出力VO1の応答を示す。入力信号VIN1が0Vと3.3Vのとき、入力トランジスタ111のゲート・ソース間の電圧VgsL、VgsHはそれぞれ5.3V、2Vとなる。これらの電圧に対応する入力トランジスタ111のドレイン・ソース間の抵抗値RdsL、RdsHは、 $R_{dsL} < R_{dsH}$ となるので、出力電圧VO1は入力信号VIN1と同相の関係となる。このときの出力電圧VO1のハイレベルの出力電圧VOH（入力トランジスタ111は非導通状態）とローレベルの出力電圧VOL

（入力トランジスタ111は導通状態）は、負荷トランジスタ121のソース・ドレイン間の抵抗をRL1、入力トランジスタ111のドレイン・ソース間の抵抗値RdsLまたはRdsHとの分圧になるので、図2に示すように電源電圧VDDまたは0Vから若干ずれる。入力信号VIN2に対するVO2の応答は図示しないが、VIN1の応答と逆相の関係となる。すなわち、レベル変換部100の入力VIN1、VIN2と出力VO1、VO2の関係は同相となり、その出力電圧は電源電圧VDDまたは0Vから若干ずれる。

【0011】次に、波形整形部200は、前述したように入力トランジスタ213、214と負荷トランジスタ211、212で構成する。入力トランジスタ213、214はP型のTFTであり、負荷トランジスタ211、212はN型のTFTである。入力トランジスタ213、214の各ゲート電極はそれぞれレベル変換部100の出力端子VO1、VO2に、各ドレイン電極はそれぞれ出力端子VOU1、VOU2に、各ソース電極は電源VDDに接続する。また、負荷トランジスタ211、212の各ドレイン電極はそれぞれ出力端子VOU1、VOU2に、各ゲート電極はそれぞれ出力端子VOU2、VOU1に、各ソース電極は接地点に接続する。この様に接続された波形整形部200は、図9に示す従来例の入力トランジスタ811、812と負荷トランジスタ813、814で構成する回路とトランジスタの導電型は異なるものの等価である。図9に示す従来例と異なるのは、入力信号がレベル変換部100で増幅され、ほぼ電源電圧に等しい振幅となる点である。このため、従来例の課題であった入力トランジスタのサイズは、大きくする必要がなくなり、高速動作が可能となる。

【0012】本実施形態のレベル変換回路では、バイアス電源VBIASの電圧で入力トランジスタ111、112に印加するゲート電圧を制御する。このため、バイアス電源VBIASで入力トランジスタ111、112及び負荷トランジスタ121、112のドレイン電流動作点を高電流にすることができ、高速動作が可能となる。また、入力と出力の関係は同相となるので、ミラー

効果による容量の増加を防ぐことができる。この点でも、高速な動作が可能となる。さらに、本実施形態では、レベル変換回路をトランジスタだけで構成するので、製造する上で作り易いという利点がある。また、本実施形態では、バイアス用トランジスタ131と入力トランジスタ111、112は共にN型トランジスタで構成するとともに、負荷トランジスタ121、122の電流をバイアス用トランジスタ132で制御し、この電流と入力トランジスタ111、112の抵抗で出力電圧を発生するため、トランジスタの特性の変動に対する出力電圧の変動を抑えることができ、製造する上で歩留まりを高められる利点がある。

【0013】図3は、本発明の第2の実施形態を示す。本実施形態が図1に示す第1の実施形態と異なるのは、波形整形部200の構成である。本実施形態の波形整形部200は、N型の負荷トランジスタ221、222とP型の入力トランジスタ223、224で構成する。N型トランジスタ221、222はソース電極を接地し、各ゲート電極を入力端子VIN1、VIN2に、各ドレイン電極をP型トランジスタ223、224のドレイン電極にそれぞれ接続する。P型トランジスタ223、224はソース電極を電源VDDに、ゲート電極をレベル変換部100の出力VO1、VO2に接続する。

【0014】以上のように構成した波形整形部200の動作を説明する。動作条件の一例として、入力端子VIN1、VIN2の電圧がそれぞれ3.3V、0V、電源VDDが15V、バイアス電源の電圧が5.3Vとしたとき、N型トランジスタ221、222のゲート電極にはそれぞれ3.3V、0Vが印加される。このとき、各トランジスタはそれぞれ導通と非導通の状態となる。一方、レベル変換部100の出力が入力されるP型トランジスタ223、224のゲート電極にはそれぞれほぼ15Vの電圧とほぼ0Vの電圧が入力されるので、各トランジスタはそれぞれ非導通と導通の状態となる。この結果、出力端子VO1、VO2はそれぞれ0V、15Vとなり、3.3V、0Vの低振幅の電圧信号を0V、15Vの大振幅の電圧信号に変換する。本実施形態では、波形整形部200のN型の負荷トランジスタとP型の入力トランジスタのゲート電極をそれぞれ0V、15Vを基準にして独立に制御するので、電源電圧VDDの変動に対しても安定に動作する利点がある。

【0015】図4は、本発明の第3の実施形態を示す。本実施形態が図1に示す第1の実施形態と異なるのは、波形整形部200の構成である。本実施形態の波形整形部200はN型の負荷トランジスタ231、232とP型の入力トランジスタ233、234で構成する。N型の負荷トランジスタ231とP型の入力トランジスタ233及びN型の負荷トランジスタ232とP型の入力トランジスタ234はインバータ回路を構成する。以上のように構成した波形整形部200の動作を説明する。動

作条件の一例として、入力端子VIN1、VIN2の電圧がそれぞれ3.3V、0V、電源VDDが15V、バイアス電源の電圧が5.3Vとしたとき、入力トランジスタ111、112はそれぞれ非導通状態、導通状態となるので、レベル変換部100の出力VO1、VO2は、それぞれほぼ15V、ほぼ0Vとなる。これらの電圧はインバータ回路で波形整形され、増幅されるので、出力端子VO1、VO2は、それぞれ0V、15Vとなる。本実施形態においても、入力端子に供給される3.3V、0Vの低振幅の電圧信号を0V、15Vの大振幅の電圧信号に変換することができる。

【0016】図5は、本発明の第4の実施形態を示す。本実施形態が図1に示す第1の実施形態と異なるのは、レベル変換部100の構成である。本実施形態のレベル変換部100は、図1に示す第1の実施形態に対し、負荷トランジスタ121、122を抵抗体141、142で構成した点である。本実施形態のレベル変換部100の動作を説明する。動作条件の一例として、入力端子VIN1、VIN2の電圧がそれぞれ3.3V、0V、電源VDDが15V、バイアス電源の電圧が5.3Vとしたとき、入力トランジスタ111、112はそれぞれ非導通状態、導通状態となる。この結果、レベル変換部100の出力VO1、VO2は、それぞれほぼ15V、ほぼ0Vとなる。これらの電圧は波形整形部200で波形整形されるので、出力端子VO1、VO2は、それぞれ0V、15Vとなる。本実施形態においても、入力端子に供給される3.3V、0Vの低振幅の電圧信号を0V、15Vの大振幅の電圧信号に変換することができる。

【0017】図6は、本発明の第5の実施形態であり、多入力型のレベル変換回路を示す。本実施形態は図3に示すレベル変換部を多入力型にしたものである。本実施形態のレベル変換回路500は、N個の入力トランジスタ511～51N、N個の負荷トランジスタ521～52N、バイアス用トランジスタ531、541で構成する。入力トランジスタ511～51Nの各ソース電極はN個の入力端子V1～V1(N)に、各ドレイン電極はN個の負荷トランジスタ521～52Nの各ドレイン電極に、この点をN個の出力端子VO1～VO(N)に接続する。本実施形態では、入力トランジスタと負荷トランジスタの2個のトランジスタを追加することで、入力数を増やすことができる効果がある。

【0018】図7は、本発明のレベル変換回路を適用したロジック入力回路の一実施形態を示す。本実施形態は差動入力型のレベル変換回路100と多入力型のレベル変換回路500、N個のラッチ回路611～61Nからなるラッチ回路部600で構成する。ここで、差動入力型のレベル変換回路100は、低い電圧振幅の差動クロック信号CK1、CK2を入力し、高い電圧振幅に変換した差動クロック信号をラッチ回路611～61Nに出

力する。多入力型のレベル変換回路500はN個の低い電圧振幅のデータ信号D1～D(N)を入力し、高い電圧振幅に変換したデータ信号を各ラッチ回路611～61Nに出力する。ラッチ回路部600の各ラッチ回路では高い電圧振幅のクロック信号とデータ信号を入力して動作し、N個のラッチデータO1～O(N)を出力する。

【0019】図8は、本発明の液晶表示装置の一実施形態を示すシステム構成例である。本システムは、映像信号発生装置80、映像信号処理回路60、タイミング制御回路70、液晶表示パネル10から構成する。ここで、液晶表示パネル10は、マトリクス状に配置した複数の画素からなる表示部20、これらの画素を駆動する信号回路30と走査回路40、差動入力型レベル変換回路700、多入力型レベル変換回路500a、500b、データラッチ回路600で構成する。この中で、差動型レベル変換回路700は、第1～第4の実施形態として説明したレベル変換部100と波形整形部200で構成し、多入力型レベル変換回路500a、500bは第5の実施形態として説明した多入力型レベル変換回路500に、データラッチ回路600は第7図に示したラッチ回路部600に対応する。

【0020】以上の様に構成した本システムの動作を説明する。映像信号発生装置80は、映像信号81を映像信号変換回路60に、クロック信号85、水平同期信号86、垂直同期信号87をタイミング制御回路70にそれぞれ出力する。映像信号処理回路60は入力した映像信号81をシリアルーパラレル変換処理により信号周波数を下げて、n並列の映像信号D1～Dnを液晶表示パネル10の多入力型レベル変換回路500aへ出力する。この映像信号D1～Dnは多入力型レベル変換回路500aにより高振幅の信号に変換されるとともに、データラッチ回路600に格納される。データラッチ回路600はこの格納された高振幅の映像信号HD1～HDnを信号回路30へ出力する。一方、タイミング制御回路70は、入力したクロック信号85、水平同期信号86、垂直同期信号87から、映像信号D1～Dnを取り込むためのクロック信号71を液晶表示パネル10の差動入力型レベル変換回路700へ出力し、信号回路30と走査回路40を駆動するための制御信号72～75を液晶表示パネルの多入力型レベル変換回路500bへ出力する。差動入力型レベル変換回路700はクロック信号71を高振幅のクロック信号に変換し、データラッチ回路600へ出力する。多入力型レベル変換回路500bは制御信号72～75を高振幅の信号に変換し、信号回路30を制御するクロック信号HCK、スタート信号HSTと、走査回路40を制御するクロック信号VCK、スタート信号VSTを出力する。表示部20は信号回路20と走査回路40の出力によって制御され、映像信号D1～Dnに対応した映像を表示する。

【0021】以上のように構成された液晶表示装置では、第1～第4の実施形態として示したレベル変換部100と波形整形部200からなるレベル変換回路と、第5の実施形態として示した多入力型レベル変換回路500を用いることによって、液晶表示パネルの入力を低振幅にできるので、映像信号処理回路60及びタイミング制御回路70の出力回路を簡単に構成することができるとともに、電磁波の不要輻射を低減することができる。

【0022】なお、本発明の実施形態はTFTを用いた例で示したが、これらは、単結晶シリコンのMOSトランジスタを用いても同様の効果を得ることが可能である。また、本発明のトランジスタはN、Pの導電型を逆転しても同じ効果を得ることができる。

#### 【0023】

【発明の効果】以上説明したように、本発明によれば、液晶表示装置に低振幅の入力電圧信号を大振幅の出力電圧信号に変換するレベル変換回路を用いることによって、液晶表示パネルの入力を低振幅にすることができ、これに伴い、液晶表示パネルの入力信号を出力する映像信号処理回路及びタイミング制御回路等の出力回路を簡単に構成することができるとともに、電磁波の不要輻射を低減することができる。また、レベル変換回路のバイアス電源により入力トランジスタ及び負荷トランジスタのドレイン電流動作点を高電流にすることができるため、高速動作を可能とするとともに、トランジスタのサイズを低減することが可能になる。さらに、レベル変換回路をトランジスタだけで構成するので、製造する上で作り易く、また、負荷トランジスタの電流をバイアス用トランジスタで制御し、この電流と入力トランジスタの抵抗で出力電圧を発生するため、トランジスタの特性の変動に対する出力電圧の変動を抑えることができ、製造する上で歩留まりを高めることができる。

#### 【図面の簡単な説明】

【図1】本発明の液晶表示装置におけるレベル変換回路の第1の実施形態

【図2】本発明のレベル変換回路の動作を示す説明図

【図3】本発明の液晶表示装置におけるレベル変換回路の第2の実施形態

【図4】本発明の液晶表示装置におけるレベル変換回路の第3の実施形態

【図5】本発明の液晶表示装置におけるレベル変換回路の第4の実施形態

【図6】本発明の多入力型のレベル変換回路の第5の実施形態

【図7】本発明のレベル変換回路を適用したロジック入力回路の一実施形態

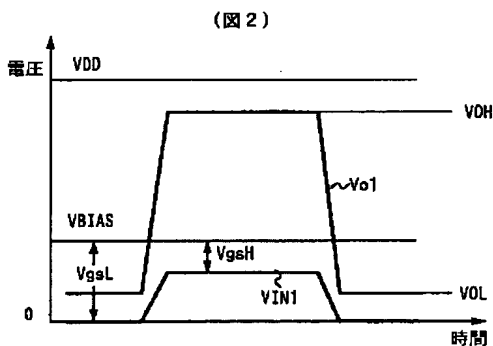
【図8】本発明の液晶表示装置の一実施形態

【図9】従来例の差動入力型のレベル変換回路を示す回路構成図

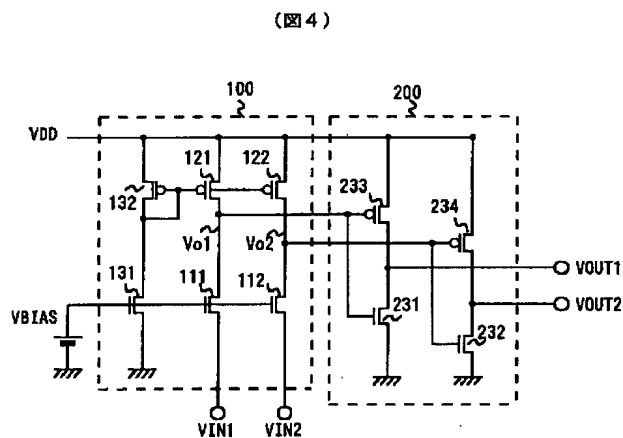
【符号の説明】

1 1 2…入力トランジスタ、1 2 1、1 2 2…負荷トランジスタ、V B I A S…バイアス電源、1 4 1、1 4 2…抵抗、2 1 1、2 1 2…負荷トランジスタ、2 1 3、2 1 4…入力トランジスタ、1 3 1、1 3 2…バイアス用トランジスタ、5 0 0…多入力型レベル変換部

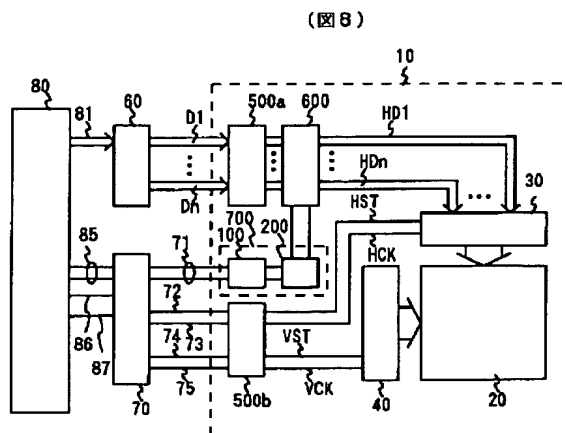
【图 2】



【图4】

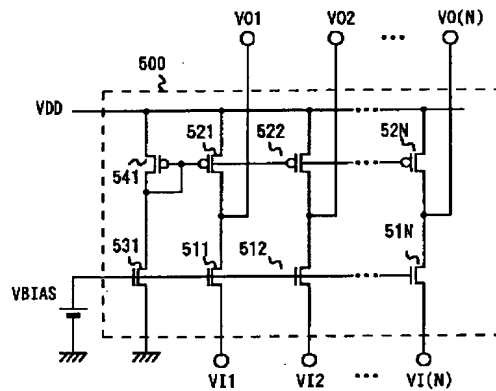


【图8】



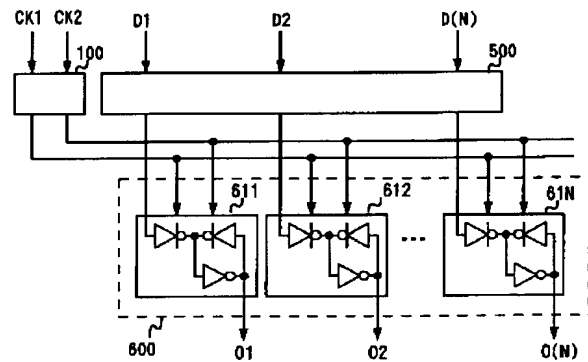
【図6】

(図6)



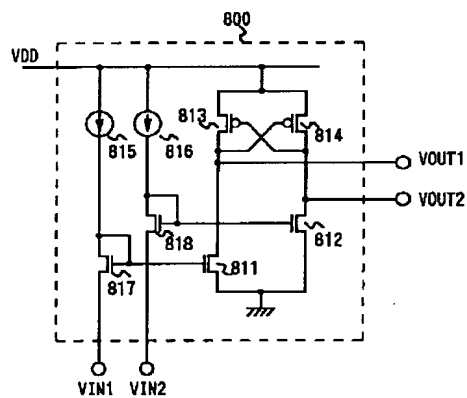
【図7】

(図7)



【図9】

(図9)



フロントページの続き

(72)発明者 景山 寛  
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 大久保 竜也  
茨城県ひたちなか市稲田1410番地 株式会社日立製作所映像情報メディア事業部内

Fターム(参考) 2H093 NA16 NC09 NC11 NC13 NC16  
NC21 NC33 NC34 ND40 ND49  
ND53  
5C006 BB16 BC20 BF16 BF25 BF34  
BF46 EB04 FA11 FA32 FA41